

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-181319

(43)公開日 平成6年(1994)6月28日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/788

29/792

27/115

7210-4M

H 0 1 L 29/ 78

3 7 1

27/ 10

4 3 4

審査請求 未請求 請求項の数1(全 7 頁)

(21)出願番号

特願平4-334347

(22)出願日

平成4年(1992)12月15日

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72)発明者 中尾 広宣

京都府京都市右京区西院溝崎町21番地

ローム株式会社内

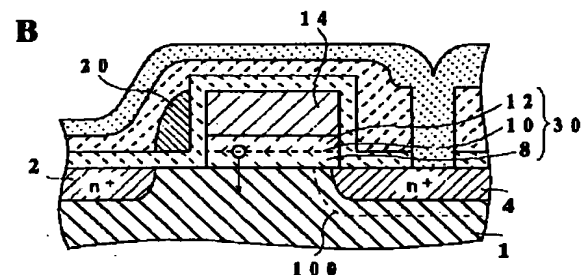
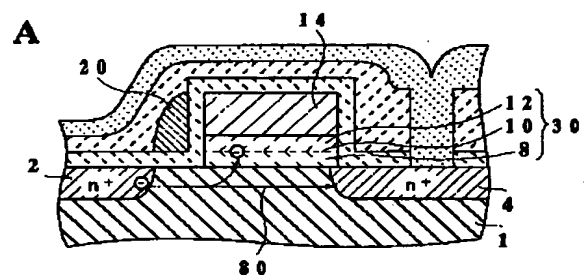
(74)代理人 弁理士 古谷 栄男 (外2名)

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 正確な読み出しを行なう事が可能な半導体装置の提供を目的とする。

【構成】 書込の際は、図1Aのように、ソース2に高電圧を印加し、ソース2からドレイン4に飛出す電子によってチャネル80を形成する。選択ゲート20に低電圧を印加すると、選択ゲート14、基板1間に電界が集中し、電子の一部がホットエレクトロンとなり高電圧を印加した制御ゲート14方向に引き付けられる。引き付けられたホットエレクトロンはN(窒化)膜10のソース2側にトラップされ、情報が書込まれる。読み出しの場合は、図1Bのようにドレイン4に高電圧を印加して空乏層100がドレイン4近傍に広がっても、情報が書込まれた箇所に達することがない。したがって、N(窒化)膜10に電子がトラップされている(情報が書込まれている)か否かを正確に検出する事が可能となる。



1: 基板  
2: ソース  
4: ドレイン  
10: N(窒化)膜  
14: 制御ゲート  
20: 選択ゲート  
80: チャネル  
100: 空乏層

(2)

## 【特許請求の範囲】

【請求項1】 基板内に設けられたソース領域、  
基板内に設けられ、ソース領域と間に電路形成可能領域  
を形成するように設けられたドレイン領域  
電路形成可能領域上に設けられたトラップ膜、  
トラップ膜上に設けられた制御電極、  
ソース側の電路形成可能領域上に電路形成可能領域と絶  
縁して設けられており、制御電極の側面に制御電極と絶  
縁して設けられた側導電層、  
を備えたこと特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体装置のデータの読  
み出しに関する。特に読み出しの正確化に関する。

## 【0002】

【従来の技術】 一般に、トラップ型半導体メモリのトラ  
ップ膜としては、ONO膜（Oxide-Nitride-Oxide）膜が用いられている。このONO膜の  
O膜は酸化膜であり絶縁膜である。一方、N膜は窒化膜  
であり導電膜である。なお、導電膜であるN膜は酸化膜  
であるO層に挟まれている。書込みの際には、電子がこ  
のN膜に導かれる。

【0003】 図9A、9BにONO膜を用いたトラップ  
型メモリの断面図を掲げてデータの書込み及び消去を示  
す説明する。トラップ型メモリ200には基板1内にソー  
ス2、ドレイン4が形成されている。このソース2、  
ドレイン4間にONO膜（第一O膜8、N（窒化）膜1  
0及び第二O膜12）が形成されており、その上方に制  
御ゲート14が形成されている。

【0004】 このトラップ型メモリ200の書込原理の  
概要を図9Aを用いて説明する。書込み時は、ソース2  
からドレイン4に電子が放出されることでチャネルが形  
成される。この放出された電子の一部はホットエレクト  
ロンとしてドレイン近傍のN（窒化）膜10にトラップ  
される。N（窒化）膜10に電子がトラップされている  
と、チャネルを形成するために必要な制御ゲート電圧の  
しきい値電圧が大きくなる。このように、しきい値が大  
きくなった状態を”1”が書込まれた状態という。これ  
に対し、電子がトラップされず、しきい値が小さいまま  
の状態を”0”が書込まれている状態という。

【0005】 一方、消去の場合は、制御ゲート14に負  
の電圧を印加し、ドレインに正の電圧を印加すること  
で、N膜に正孔を導いて注入された負の電子を中和する  
（図9B参照）。なお、読み出しは、制御ゲートにセン  
ス電圧（電子がトラップされている場合のしきい値電圧  
とトラップされていない場合の中間値）を印加し、チャ  
ネルが形成されなければ、”1”が書込まれていること  
を読み出すことが出来る。また、チャネルが形成されば、  
”1”が書込まれていない（”0”である）ことを  
読み出すことが出来る。このようにして、トラップ型メ

2

モリにおいて”1”の書込み、消去及び読み出しを自在  
に行なうことが出来る。

## 【0006】

【発明が解決しようとする課題】 しかし、従来のトラッ  
プ型メモリには以下のような問題があった。従来の装置  
では図9Aを用いて説明したように、書込みの際にN  
（窒化）膜10のドレイン4側に電子をホットエレクト  
ロン注入によってトラップさせていた。また、読み出し  
の際には、ドレイン4に比較的高い電圧を印加してトラッ  
プされた電子の読み出しを行なっていた。しかし、ドレ  
イン4に高電圧を印加すると、図9Bに示すようにドレ  
イン4周辺の基板1内に空乏層100が形成されてしま  
う。

【0007】 この空乏層100が広がってしまい、電子  
がトラップされている箇所にまで達すると、実際にはチャ  
ネルが形成されていないにもかかわらず、チャネルが  
形成された場合と同じ状態になってしまう。すなわち、  
N（窒化）膜10に電子がトラップされており本来チャ  
ネルが形成されない場合でも、チャネルが形成されてし  
まうので、”1”が書込まれていないと検出されてしま  
う。このように、従来の装置を用いると、読み出し時に  
空乏層100が広がり、正確な読み出しを行なうことが  
できなくなっていた。

【0008】 そこで、本発明は正確な読み出しを行なう  
ことが可能な半導体装置の提供を目的とする。

## 【0009】

【課題を解決するための手段】 請求項1に係る半導体装  
置は、基板内に設けられたソース領域、基板内に設けら  
れ、ソース領域と間に電路形成可能領域を形成するよう  
に設けられたドレイン領域電路形成可能領域上に設けら  
れたトラップ膜、トラップ膜上に設けられた制御電極、  
ソース側の電路形成可能領域上に電路形成可能領域と絶  
縁して設けられており、制御電極の側面に制御電極と絶  
縁して設けられた側導電層、を備えたことを特徴として  
いる。

## 【0010】

【作用】 本発明に係る半導体装置においては、側導電層  
がソース側の電路形成可能領域上に電路形成可能領域と  
絶縁しかつ、制御電極の側面に制御電極と絶縁して設け  
られている。

【0011】 したがって、ソース側で書込みを行なっ  
ているので、ドレイン側に高電圧が印加され空乏層が広が  
ってもソース側に達することがない。

## 【0012】

【実施例】 本発明に係るトラップ型半導体メモリの一案  
施例を図2Bに掲げて、その構造を説明する。P型基板  
1内にはソース領域であるソース2及びドレイン領域と  
してのドレイン4が形成されており、基板1上にはトラ  
ップ膜としての第一酸化膜8、N（窒化）膜10及び第  
二酸化膜12が形成されている（この第一酸化膜8、N

3

(窒化)膜10及び第二酸化膜12の三層膜を以下ON膜30とする)。このONO膜30上には制御電極である制御ゲート14が形成され、また、制御ゲート14と基板1を覆うように酸化膜16が形成されている。制御ゲート14の側面には側導電層としての選択ゲート20が設けられており、制御ゲート14と基板1を覆うように層間膜18も形成されている。さらに、層間膜18上にはビットライン(ドレイン線)25が形成されている。

【0013】次に、図2Bに示したトラップ型半導体メモリの動作概要を図1を用いて説明する。図1Aに書込み時の動作状態を掲げる。本実施例に係るトラップ型半導体メモリにおいては、ドレイン4側及び制御ゲート14に高電圧を印加し、ソース2に0Vを印加することで、ソース2からドレイン4に電子が飛出し、ソース2、ドレイン4間に電路形成可能領域としてのチャンネル80を形成する。ここで、ソース2側に設けられた選択ゲート20に基板1がちょうどON状態になる程度の電圧を印加する。このような電圧を印加することで、基板1、選択ゲート20間に電界が集中する。ソース2から飛出した電子は集中している電界によりホットエレクトロンとなる。この時、制御ゲートには高電圧が印加されているので、ホットエレクトロンの一部はONO膜内のN(窒化)膜10のソース側にトラップされる。この電子がN(窒化)膜10にトラップされた状態が"1"が書込まれた状態である。

【0014】N(窒化)膜10にトラップされた電子を読み出す場合を図1Bを掲げて説明する。上述のように、電子はN(窒化)膜10のソース2側にトラップされている。したがって、読み出しの際に、ドレイン4に高い電圧を印加しても、空乏層は電子がトラップされている箇所に達することがない。すなわち、図1Bに示すように、ドレイン4の近傍に空乏層100が広がっても、N(窒化)膜10のソース側にまで広がる事がなく、N(窒化)膜10に電子がトラップされている("1"が書込まれている)か否かを正確に検出する事が可能となる。なお、消去はトラップされた電子を基板1に放出することによって行なわれる。

【0015】次に、本実施例のトラップ型半導体メモリの動作詳細を図8に示す等価回路を用いて説明する。ここでは、セルC10を情報を書込み、消去及び読み出しを行なう選択セルとし、その他のセル(セルC20、C30及びC40)を非選択セルとする(図8A)。図8Bに各動作時点での各々の行、列及び部分に印加される電圧を示す。

【0016】まず、情報の書込みの際には、制御ゲート線CG1に10V、ビットラインBL1に9V、さらに、選択ゲート線SG1に1.5Vを印加し、その他には0Vを印加する。このとき、選択セルC10においては、ビットラインBL1に9Vが与えられる事で、前述

(3)

4

のようにソース2からドレイン4間に電子が飛出し、チャンネル80が形成される(図1A参照)。また、選択ゲートには1.5Vという基板がちょうどONになる電圧が印加されることで基板1、選択ゲート20間に電界が集中する。この集中した電界によりソース2から飛出した電子はホットエレクトロンとなる。さらに、制御ゲート14チャンネルが制御ゲート14に10Vという高電圧が与えられているので、ホットエレクトロンの一部はONO膜内のN(窒化)膜10のソース側にトラップされる。こうして、N(窒化)膜10にホットエレクトロンの一部がトラップ("1"が書込まれる)される。

【0017】こうして、"1"が書込まれると、図1Aに示すチャンネル80を形成させるのに必要な電圧のしきい値が上昇する。このしきい値の上昇を検出することで、"1"が書込まれたことを検出する。すなわち、前述のように制御ゲート14にセンス電圧を印加し、ソース2とゲート4間にチャンネルが形成されず電流が流れなければ"1"が書込まれたと検出するのである。

【0018】ここで、非選択セルC20をみると、制御ゲート線SG1を通じて10V、選択ゲート線CG1を通じて1.5Vが与えられている。しかし、ビットラインBL2にはソース2と同電位である0Vが与えられており、チャンネルが形成されないので、誤書込みが生じる虞がない。また、他の非選択セルC30及びC40に関しても、選択ゲート線SG2、制御ゲート線CG2には各々0Vが与えられているので、選択セルC10以外のセルに誤書込みが生じる虞がない。

【0019】次に、N(窒化)膜10にトラップされた電子を消去する場合について説明する。この場合、制御ゲート線CG1及びCG2にそれぞれ-15Vを印加し、ビットラインBL1及びBL2の両方をオープンにし、その他には0Vを与える。制御ゲートに負の電圧を印加することで、上述した書込と逆の電界が生じる。したがって、トラップされている電子はFN(Fowler-Norheim)トンネリングによって基板1に引出され、放出される。こうして、トラップされた電子が引出されると、図1Aに示すチャンネル80を形成させるのに必要な電圧のしきい値が下降する。このしきい値の下降を検出することで、N(窒化)膜10から情報"1"が書込まれていないことが検出される。すなわち、上記のように、センス電圧を印加して、ソース2とドレイン4間にチャンネル80が形成され、電流が流れると、N(窒化)膜10から情報"1"が書込まれていないことが検出されるのである。

【0020】さらに、選択セルC10からの情報の読み出しについて説明する。選択セルC10に記憶された情報を読み出す場合、制御ゲート線CG1にセンス電圧として3Vを与え、選択ゲートをONさせるために選択ゲート線SG1に5V、ビットラインBL1に2Vを印加する。ここで、センス電圧とは、N(窒化)膜10に電

5

子がトラップされている場合のしきい値と、トラップされていない場合のしきい値の中間値である。また、上記以外には0Vを印加する。

【0021】選択セルC10が書込状態であれば、チャンネル80（図1A参照）は形成されず、ソース、ドレイン間に電流が流れない。したがって、ビットラインBL1に接続したセンスアンプ（図示せず）では、電流を検出することができず、選択セルC10は書込み状態であることを読み取る。一方、選択セルC10が非書込み状態であれば、ソースドレイン間に前述のチャンネル80が形成される。したがって、ソース、ドレイン間に電流が流れ、この電圧を前記センスアンプによって検出することで、選択セルC10が非書込み状態であることを読み取る。

【0022】次に選択セルC20について観ると、制御ゲート線CG1にはセンス電圧である3Vが印加され、選択ゲート線SG1には5Vが印加されている。しかし、ビットラインBL2には0Vが印加されており、センスアンプビットラインBL1に接続されているので、非選択セルC20で読み出しが行なわれることはない。さらに、他の非選択セルC30及びC40においては、制御ゲート線CG2及び選択ゲート線SG2にそれぞれ0Vが与えられているので、読み出しが行なわれることはない。

【0023】こうして、情報の書込みをホットエレクトロン注入方式によるソース側のN（窒化）膜10に行ない、消去をFNトンネリングにより行なうことで、正確な読み出しを行なうことが可能となる。

【0024】本実施例に係るトラップ型メモリの構造及び製造方法を図に基づいて以下に説明する。まず、図2Bに示すトラップ型メモリの製造方法を説明する。基板1（Pウェル）上に熱酸化により第一O膜8を形成する。次に第一O膜8上にLPCVDを用いてN（窒化）膜10を形成する。次に、N（窒化）膜10上にウェット酸化によって第二O膜12を形成する（図3A）。こうして形成したONO膜30上に第一ポリシリコン膜13を形成する（図3A）。次に、第一ポリシリコン膜13を図3Bのようにエッチングすることで制御ゲート14を形成する。この制御ゲート14を形成する為第一ポリシリコン膜13をエッチングする際に、制御ゲート14下以外のONO膜30を除去する（図3C）こうして基板1上に形成されたONO膜30と制御ゲート1に対し、これらを覆うように酸化膜16を熱酸化によって形成する（図3D）。次に、酸化膜16上に第二ポリシリコン膜28を形成する（図4A）。この第二ポリシリコン膜28を、異方性エッチングであるリアクティブエッチング（RIE）によってエッチバックし、サイドウォール20及び22を形成する（図4B）。次に、サイドウォール20、22及び制御ゲート14をマスクとして、基板1に対しAs（ヒ素）をイオン注入する（図

(4)

6

4B）。As（ヒ素）注入後、サイドウォール22だけをエッチングによって除去し、今度はサイドウォール20及び制御ゲートをマスクとして、基板に対し燐をイオン注入する（図4C）。

【0025】この時、既に基板に打込まれているAs（ヒ素）と燐とは殆どの箇所で重複して存在することになる。しかし、サイドウォール22のあった部分の基板部分BS1には燐しか存在しない（図5A）。燐が注入された後、層間膜18としてBPSG膜を形成する（図5B）。このBPSGとはボロンを添加したPSG（Phospho-Silicate-Glass）のことである。次に、層間膜18をリフローさせる。このリフローの際に、基板1内に打込まれたAs（ヒ素）及び燐は熱拡散し、図5Bに示すように、ソース2とLDD（Lightly-Doped-Drain）構造のドレイン4が形成される。すなわち、ドレイン側の燐のみが打込まれている基板部分BS1はAs（ヒ素）と燐が打込まれた部分と比べて濃度が薄く、n-となり、他の部分はn+となり、LDD構造となる。このLDD構造とは、ドレイン4近傍の電界を緩和する構造である。

【0026】上記のように、ソース2及びドレイン4を形成した後、層間膜18上にAl（アルミニウム）をデポジションし、パターニングしてビットライン（ドレイン線）25を形成するとともに、パッシベーション膜（図示せず）もビットライン25上に形成する（図2B）。このようにして、図2Bに示すトラップ型半導体メモリが製造される。

【0027】次に、本発明に係るトラップ型半導体メモリの他の実施例の構造を図2Aに掲げる。前述の図2Bのものと比べると図2Aのメモリは基板1上の全面にONO膜30が形成されている点で異なる。しかし、両者は同様の動作を行なうことでメモリとして動作する。以下に図2Aの製造方法を説明する。

【0028】基板1上にONO膜30を生成し、ONO膜30上に第一ポリシリコン膜13を形成してエッチングにより制御ゲート14を形成するまでは前述の工程と同様である（図3A参照、図6A）。ただし、前述の製造方法と異なり、ONO膜30をエッチングせず、酸化膜16を熱酸化によりONO膜30上及び基板1上に形成する（図6A）。その後の工程は、前述の図2Bのトラップ型半導体メモリの製造方法と同じであるので簡単に説明する。

【0029】形成した酸化膜16の上に第二ポリシリコン膜28を形成する（図6B）。この第二ポリシリコン膜28を、異方性エッチングであるリアクティブエッチング（RIE）によってエッチバックし、サイドウォール20及び22を形成する（図6C）。次に、サイドウォール20、22及び制御ゲート14をマスクとして、基板1に対しAs（ヒ素）を打込む（図6C）。

【0030】As（ヒ素）を打込んだ後、サイドウォール

(5)

7

ル22だけをエッチングによって除去する(図7A)。さらに、サイドウォール20及び制御ゲート14をマスクとして、基板1に対し燐を打込む(図7B)。燐を打込んだ後、層間膜18としてBPSG膜を形成する(図7B)。このBPSG膜のリフロー時に、打込まれたAs(ひ素)及び燐は熱拡散し、ソース2及びドレイン4が形成される(図7C)。この拡散の際にも、ドレイン4側は燐のみの部分と燐とひ素とが打込まれた部分の濃度差によって、前述のようにLDD構造となる。

【0031】ソース2及びドレイン4形成後、層間膜18上にA1(アルミニウム)をデポジションし、パターニングしてビットライン(ドレイン線)25を形成するとともに、パッシベーション膜(図示せず)をビットライン25上に形成する(図2A)。このようにして図2Aに示す、トラップ型半導体メモリが製造される。

【0032】

【発明の効果】本発明に係る半導体装置においては、側導電層がソース側の電路形成可能領域上に電路形成可能領域と絶縁し、かつ、制御電極の側面に制御電極と絶縁して設けられている。すなわち、ソース側で書込みを行っているのに、ドレイン側に高電圧が印加され空乏層が広がってもソース側に達することがない。

【0033】したがって、正確な読み取りを行なうことが可能となる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置(トラップ型半導体メモリ)の動作概要を示す図である。

8

【図2】本発明に係る半導体装置(トラップ型半導体メモリ)の構造を示す断面図である。

【図3】図2Bに示す半導体装置の製造工程を示す図である。

【図4】図2Bに示す半導体装置の製造工程を示す図である。

【図5】図2Bに示す半導体装置の製造工程を示す図である。

【図6】図2Aに示す半導体装置の製造工程を示す図である。

【図7】図2Aに示す半導体装置の製造工程を示す図である。

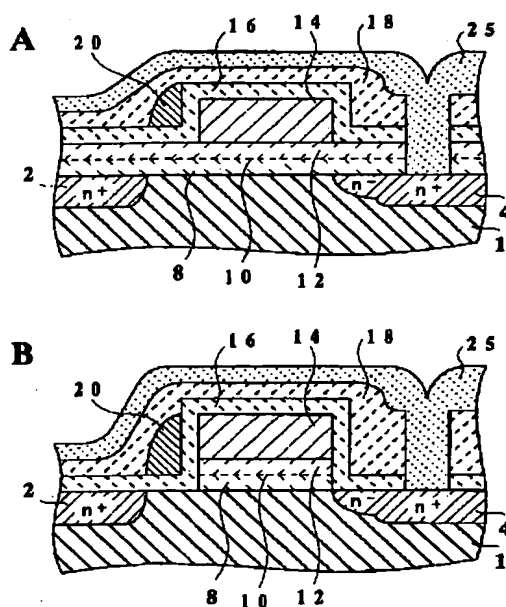
【図8】図2に示す半導体装置(トラップ型半導体メモリ)のセルを組合せた状態を示す図である。Aはセルを組合せた等価回路であり、Bは書込、消去及び読み出し時の各部での電圧の一例を示す図である。

【図9】従来の半導体装置の書込み及び読み出しの動作概要を示す図である。

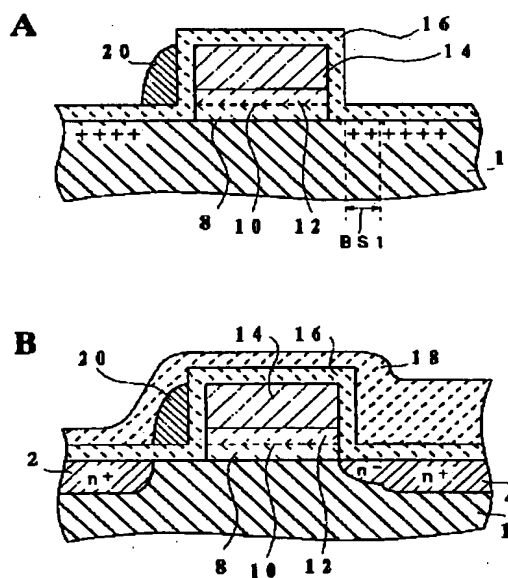
【符号の説明】

- 10  
20  
40  
100  
1  
2  
4  
10  
14  
20  
80  
100
- 1・・・基板  
2・・・ソース  
4・・・ドレイン  
10・・・N(窒化)膜  
14・・・制御ゲート  
20・・・選択ゲート  
80・・・チャネル  
100・・・空乏層

【図2】

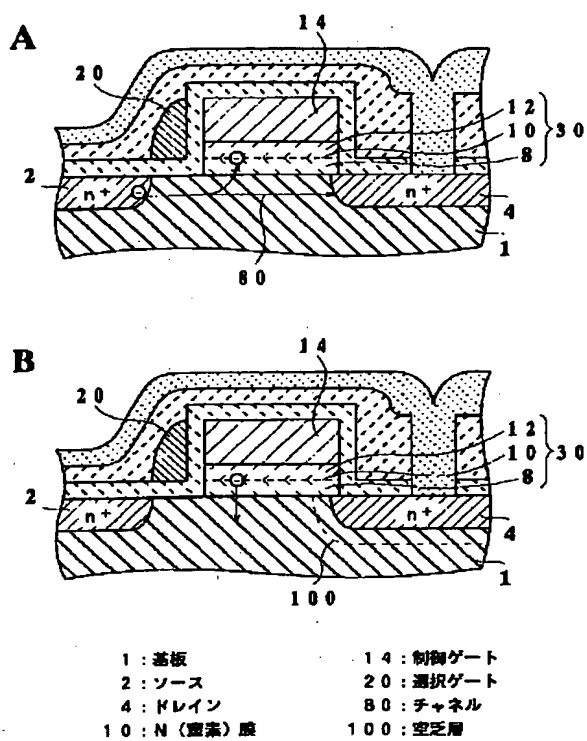


【図5】

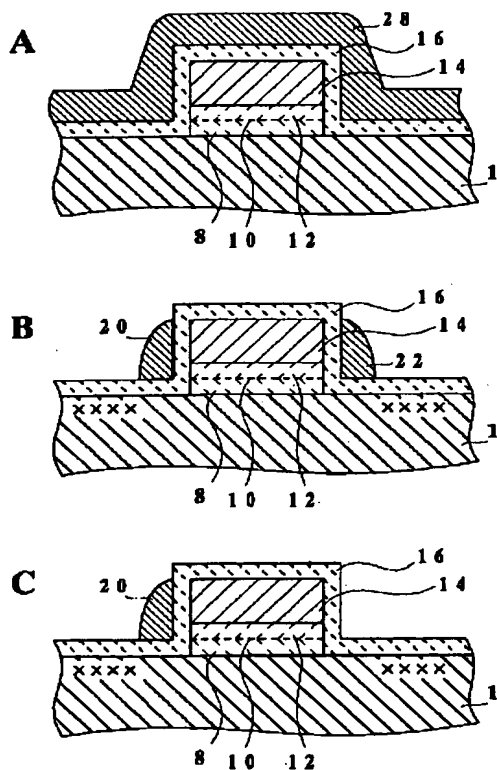


(6)

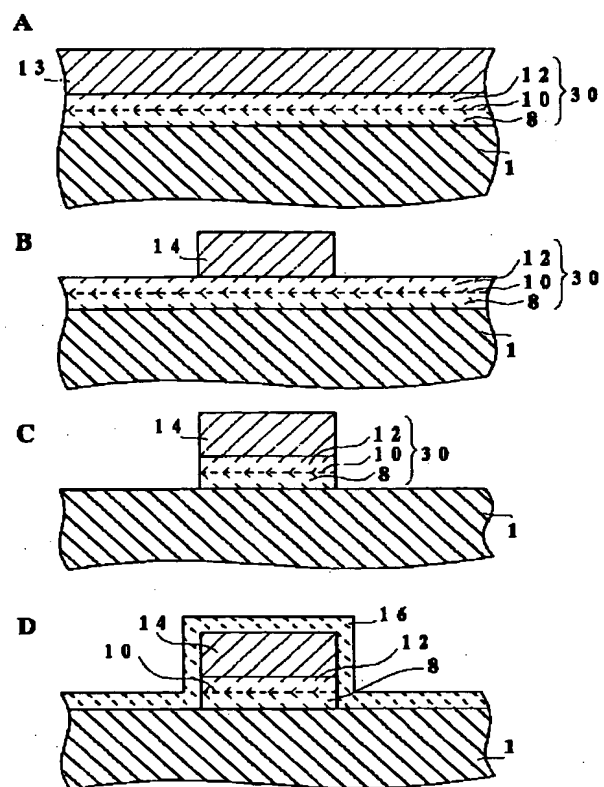
【図1】



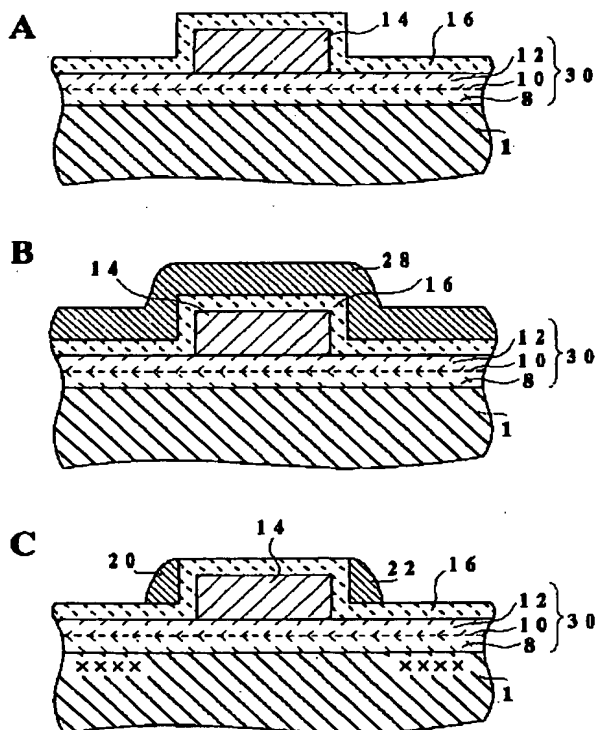
【図4】



【図3】

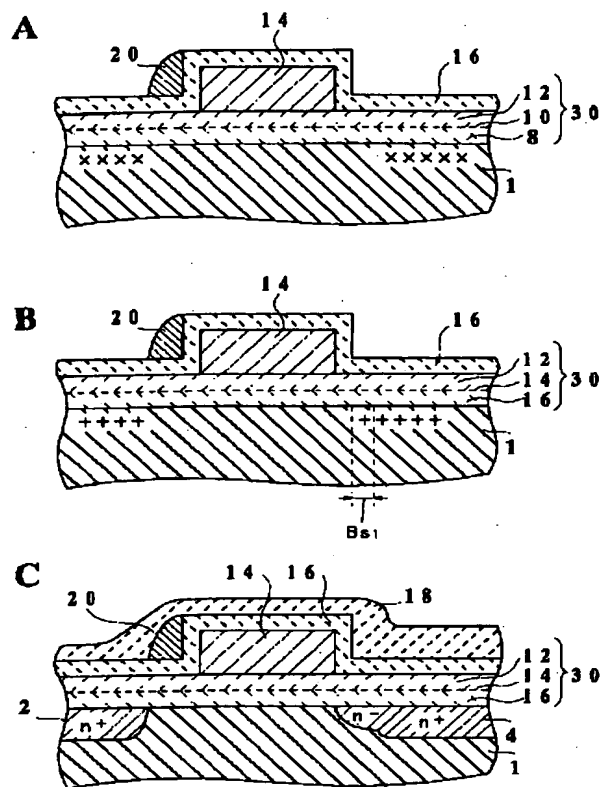


【図6】

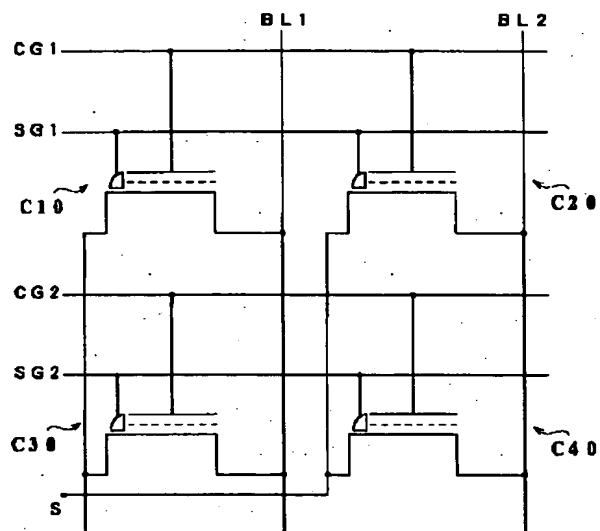


(7)

【図7】

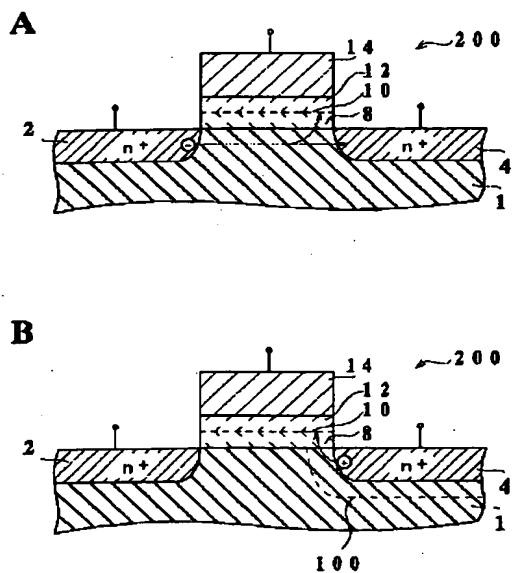


【図8】



(V)	CG1	CG2	SG1	SG2	BL1	BL2	S	SUB
書き込み	10	0	1.5	0	8	0	0	0
消去	-15	-15	0	0	OPEN	OPEN	0	0
読み出し	3	0	5	0	2	0	0	0

【図9】



## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-181319

(43)Date of publication of application : 28.06.1994

(51)Int.Cl.

H01L 29/788

H01L 29/792

H01L 27/115

(21)Application number : 04-334347

(71)Applicant : ROHM CO LTD

(22)Date of filing : 15.12.1992

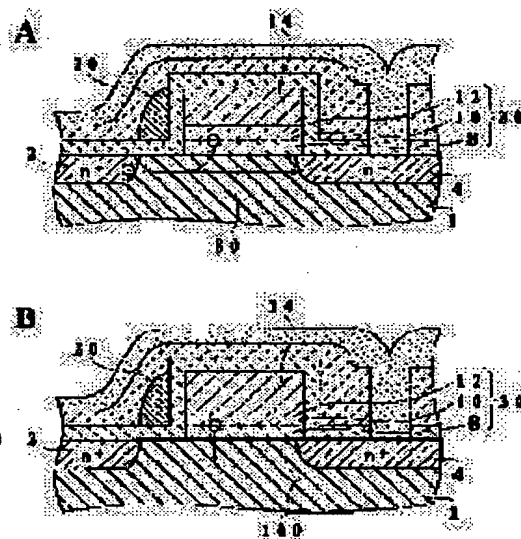
(72)Inventor : NAKAO HIRONOBU

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

**PURPOSE:** To provide a semiconductor device with which a read-out operation can be conducted accurately.

**CONSTITUTION:** When a write operation is conducted, high voltage is applied to a source 2, and a channel 8 is formed by electrons jumped out to a drain 4 from the source 2. When low voltage is applied to a selection gate 20, an electric field is concentrated between a selection gate 14 and a substrate 1, a part of electrons are turned to hot electrons, and it is attracted toward a control gate 14 where high voltage is applied. The attracted hot electrons are trapped to the side of the source 2 of a nitrogen film 10, and information is written. When a read operation is conducted, a depletion layer 100 is spread in the vicinity of a drain 4 by the application of high voltage, but does not reach the point where information is written. Accordingly, whether electrons are trapped (information is written) by the nitrogen film 10 can be detected accurately.



## LEGAL STATUS

[Date of request for examination]

13.12.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3221754

[Date of registration]

17.08.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]



[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office